



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 63316254 A

(43) Date of publication of application: 23 . 12 . 88

(51) Int. Cl

G06F 15/16
G06F 15/16

(21) Application number: 62151381

(71) Applicant: NIPPON TELEGR & TELEPH CORP <NTT>

(22) Date of filing: 19 . 06 . 87

(72) Inventor: KIMURA TAKASHI
FUKAZAWA TOMOO

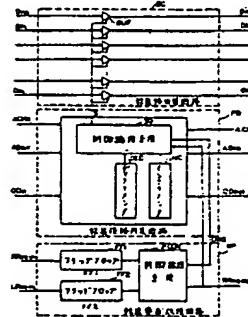
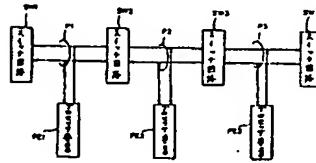
(54) PARALLEL PROCESSOR

(57) Abstract:

PURPOSE: To increase efficiency to use a transfer channel by providing in a one-dimensional transfer channel plural switch circuits with a means to electrically disconnect or connect a one-dimensional transfer channel.

CONSTITUTION: One data transfer channel commonly used by plural processor elements PE1WPE3 is divided into the transfer channels P1WP3 of an arbitrary number and an arbitrary length by distributed and inserted switch circuits SW1WSW4. Switch circuits SW1WSW3 are constituted of a circuit regarding the transfer channel of right and left directions. A transfer circuit changing-over circuit SC electrically connects and disconnects a transfer channel D'Ri of an input side and a transfer channel D'Ri of an output side, based on a change-over controlling signal S from a transfer channel deciding circuit PD, a transfer channel is formed without depending on far and near transfer distances, in accordance with the transfer request of the processor elements PE1WPE3 asynchronously generated.

COPYRIGHT: (C)1988,JPO&Japio



⑯ 公開特許公報 (A)

昭63-316254

⑯ Int.Cl.
G 06 F 15/16識別記号
390
400府内整理番号
Z-6745-5B
B-6745-5B

⑯ 公開 昭和63年(1988)12月23日

審査請求 未請求 発明の数 1 (全12頁)

⑯ 発明の名称 並列プロセッサ

⑯ 特願 昭62-151381

⑯ 出願 昭62(1987)6月19日

⑯ 発明者 木村 隆 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑯ 発明者 深沢 友雄 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑯ 出願人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑯ 代理人 弁理士 山川 政樹 外1名

明細書

1. 発明の名称

並列プロセッサ

2. 特許請求の範囲

(1)複数のプロセッサ要素と、この複数のプロセッサ要素の任意の2つのプロセッサ要素間で転送経路を構成しデータの転送・情報の授受を行なう転送装置とからなる並列プロセッサにおいて、一次元状の転送路と、この転送路中に電気的に一次元の転送路を切断もしくは接続する手段を有する複数のスイッチ回路とを備え、前記スイッチ回路によって分断された各転送路にプロセッサ要素を接続したことを特徴とする並列プロセッサ。

(2)複数のスイッチ回路によって分断された転送路は、データの転送方向を左から右および右から左の単方向とし、これを右方向と左方向の2組備え、前記スイッチ回路の左もしくは右から入力する転送路と前記スイッチ回路の右もしくは左に出力する転送路間を任意に電気的に接続もしくは切断する手段を有するスイッチ回路で構成したことを特

徴とする特許請求の範囲第1項記載の並列プロセッサ。

(3)第i、第i+1のスイッチ回路で挟まれた転送路Piに接続されたプロセッサ要素PEiは、右方向あるいは左方向の転送路の第i+pあるいは第i-pのスイッチ回路までのp区間の転送路の転送経路予約情報を出力する手段を有し、

スイッチ回路SWiは、右方向の転送路に対し、前段のスイッチ回路からの転送路Pi+1の転送路使用要求信号および転送路Piに接続された演算プロセッサPEiからの転送路Pi+1の転送路要求信号を入力し、転送路Piから転送路要求が発生しているか否かを示す要求発生元確認信号を生成する手段を有し、転送路Pi+1の転送路使用要求信号を次段の第i+1のスイッチ回路SWi+1に出力し、

左方向の転送路に対し、第i+1のスイッチ回路からの転送路Pi-1の転送路使用要求信号および転送路Piに接続されたプロセッサ要素PEiからの転送路要求信号を右から入力し、転送路

Pi-1 の転送路使用要求信号を出力する転送要求処理回路と、

プロセッサ要素からの転送経路予約情報と、次段のスイッチ回路からその時点の転送経路に関する転送経路確認情報とを入力し、これを用いて次のスイッチ回路に前段から要求のあった転送路が確保されたか否かを判定し、前段の転送路に接続されるプロセッサ要素に転送路使用許可信号(右方向)を出力し、左方向についても同様に転送路使用許可信号(左方向)を出力する転送路判定回路と、

前記転送要求処理回路において生成される転送路要求発生元確認信号(右方向および左方向)と転送路判定回路において生成される転送路使用許可信号(右方向および左方向)とから前段要求転送路と後段の空き転送路とを電気的に接続もしくはその接続を絶つ転送路切り換え回路とから

構成されたことを特徴とする特許請求の範囲第1項記載の並列プロセッサ。

3. 発明の詳細な説明

(発明が解決しようとする問題点)

一方、転送路のデータ競合を無くすため、第13図に示すようなクロスバススイッチCSや多段スイッチなどの専用の転送装置を負荷した並列プロセッサでは、1度にすべてのプロセッサがそれぞれ他の1つのプロセッサとの転送路を実現し、転送の効率化・高速化を図ることができる。しかし、このような高速転送装置の問題は、すべてのプロセッサから独立に転送装置に信号線が集中し、接続ケーブルの本数が膨大になり、並列プロセッサのプロセッサ数の増大とともに実現不可能な規模になるという欠点があった。

本発明はこのような点に鑑みてなされたものであり、その目的とするところは、同時に多数の転送経路を実現し、個々の転送路の使用効率を高め、並列プロセッサの処理実効速度を向上させ、転送装置の小形化と高速性を両立させた並列プロセッサを提供することにある。

(問題点を解決するための手段)

このような目的を達成するために本発明は、複

(産業上の利用分野)

本発明は、ハード量が少なく、小形にして転送路の使用効率が高く、任意の演算プロセッサ間で転送路の競合が無く、効率的にデータの授受を行なう並列プロセッサに関するものである。

(従来の技術)

複数のプロセッサ間の相互のデータ転送を行なう装置としては、各プロセッサが共通に転送路を使用する第12図に示すようなバス構造が最もハード量が少なく並列プロセッサとして小形化が可能な構成である。しかし、このバスを用いた並列プロセッサでは、1度に2つのプロセッサしか転送路を使用できず、他の多くのプロセッサは転送路が空くまで処理を中断して待たねばならない。このため、並列プロセッサの数が増大するとともに、演算処理と転送とを合わせた全体の処理実効時間は大幅に増大し、処理速度が低下するという欠点があった。なお、第12図において、PE1～PE6はプロセッサ要素、BSはバス、ABはバス調定(アービタ)である。

数のプロセッサ要素と、この複数のプロセッサ要素の任意の2つのプロセッサ要素間で転送経路を構成しデータの転送・情報の授受を行なう転送装置とからなる並列プロセッサにおいて、一次元状の転送路と、この転送路中に電気的に一次元の転送路を切断もしくは接続する手段を有する複数のスイッチ回路とを備え、スイッチ回路によって分断された各転送路にプロセッサ要素を接続するようにしたものである。

(作用)

本発明による並列プロセッサは、ハード規模が小さいバス構造を基本としながら、1本の信号転送路を、分散的に挿入したスイッチ回路によって、任意の数と任意の長さの転送路に分割することを可能にする。また、転送路分割と使用のための転送路の空き管理制御を簡単な方法で転送路自身が行なうことができ、プロセッサからの要求発生に応じて転送経路をダイナミックに変えられ、1度に多数の2つのプロセッサ間転送路を確保できる。

(実施例)

本発明の第1の特徴は、第2図に示すように、1本のデータ転送線路を複数のプロセッサ要素P E 1～P E 3が共用する構成でありながら、1本の転送線路に分散してスイッチ回路S W 1～S W 4を挿入し、このスイッチ回路で決まれた転送路P 1, P 2, P 3をバスとしてプロセッサ要素P E 1, P E 2, P E 3を接続した構成である。

本発明の第2の特徴は、1本の転送路を任意に分割して、それぞれ独立した転送路として使用でき、また、各プロセッサ要素が転送路使用のスケジュール表に基づいて競合のない転送装置として、転用予約手続きを自動的にできる手段を有している点にある。

本発明の第3の特徴は、転送路の空きで使用可能な経路と、各プロセッサ要素の使用要求の発生とデータ授受を必要とするプロセッサとの転送距離とが判明した時点で、ダイナミックに転送経路設定が可能な制御手段を有している点にある。

この特徴は、簡単な信号の授受により効率的に自動的に転送路は右と左の独立した方向を持った

転送線路で構成され、一次元上に配置されたスイッチ回路が、転送方向に対し、前段からの要求信号と個々に管理するプロセッサ要素からの要求信号とから転送経路の始点を判断し、これにより、全く非同期に発生するプロセッサ要素の転送要求に応じて、しかも必要なプロセッサ要素間の転送距離の遠近に依存しないで転送経路が形成されることを特徴としている。

本発明の第4の特徴は、転送路を複数の信号線路で構成し、この信号線路をスイッチ回路間で乗り換えられるように、次段の転送路の信号線の空き情報に基づいて前段の転送路の信号線と後段の転送路の信号線とを独立に接続する回路を設けたスイッチ回路を構成している点にある。

特許請求の範囲第1項、第2項記載の発明の実施例としての並列プロセッサの構成を第1図に示し、スイッチ回路を第3図に、そのスイッチ回路の処理フローを第4図に、並列プロセッサのスイッチ回路の動作状態の変化を第5図に、プロセッサ要素の転送路インターフェースを第6図に示す。

第1図で、スイッチS W 1～S W 3は転送路中に挿入されたスイッチ回路で、P E 1～P E 3はスイッチ回路で決まれた転送路に接続されたプロセッサ要素である。第1図において、D R およびD Lはそれぞれ左から右および右から左方向のデータの転送路であり、Q D R, A D RおよびQ D L, A D Lはそれぞれ左から右へおよび右から左への転送経路予約情報Q D (Query Distance) とその転送経路確認情報A D (Acquired Distance) の情報である。L R eqR, L R eqLはD R, D Lの転送路それぞれに対するプロセッサ要素からの転送要求信号(Local ReqR, L)である。

第1図において、スイッチ回路S W 1～S W 3は、右方向、左方向の転送路に関する回路で構成される。

第3図はスイッチ回路S W j (j = 1, 2, ...)の右方向の転送路に関する回路を示したもので、S Cは転送路切替回路で、その他に転送要求処理回路R Pと転送経路判定回路P Dとから構成されている。右方向の転送路も同様である。転

送路切替回路S Cは、ここでは、ハイインピーダンスを含む3値をとるバッファBUFでの組合せで構成され、転送経路判定回路P Dからの切替制御信号Sに基づいて、入力側の転送路D R i (i = 0, 1, ..., m)と出力側の転送路D' R i (i = 0, 1, ..., m)とを電気的に接続したり、切断したりする。以下、右、左の添字R, Lを省略する。

次に、第3図の回路の動作について説明する。

1.1) 転送要求処理回路R Pに前段スイッチからR Reqin、接続されたプロセッサ要素からL Reqinが入力される。

1.2) R ReqinはフリップフロップFF 1にリモート・バス・ステート(Remote Path State, R P S)として記憶され、L ReqinはフリップフロップFF 2にローカル・バス・ステート(Local Path State, L P S)として記憶される。前段スイッチに接続されたプロセッサ要素から要求があれば、R P S, L P Sが1になる。

1.3) 制御論理手段P C O N (プライオリティ

コントローラ) は RPS, LPS を監視する。RPS の方がプライオリティが高い。RPS = 1 のときは、LPS のいかんにかかわらずオリジン (ORG) = 0 とし、接続プロセッサ要素からの要求を無視する。RReqout に RReqin を出力する。RPS = 0 のときは LPS をみる。LPS = 1 のときは接続プロセッサ要素から要求があるので、ORG = 1 とする (第 4 図のステップ 1, 2)。LPS = 0 のときは要求がないので、ORG = 0 とする (第 4 図のステップ 1, 3)。RReqout = 0 が出力される。

次に、第 3 図の回路の動作を第 4 図を用いて説明する。第 4 図はスイッチ回路の基本処理を示したもので、プロセッサ要素と前段のスイッチからの転送路使用要求の有無、転送経路予約情報と転送経路確認情報の入力情報との一致によって前段のスイッチあるいはプロセッサ要素への転送経路予約情報 QDout と転送経路確認情報 ADout を出力する。

2.1) 転送経路判定回路 PD に、前段スイッチ

るデクリメンタである。ORG = 1 であれば、接続 PE が要求する QDin を後段に出力する (ステップ 9, 10)。

2.4) また、ADin と QDout を比較し、一致しない間は ORG にかかわらず、転送経路要求がある場合は、ADout = 0, ACK = 0 を前段に出力する (ステップ 12, 13)。一致すれば、スイッチを接続 (オン) し、ADout = ADin + 1, ACK = 1 を前段に出力する (ステップ 14)。

2.5) LPS, RPS のいずれかが 1 の場合に QDout = 0 になれば、要求転送経路の終端と判断し、この時、スイッチを切断 (オフ) し、ADout = 0, ACK = 1 を前段に、QDout = 0, RReq = 0 を後段に出力する (ステップ 15)。

3.1) 第 5 図は、第 4 図の基本処理に基づいて実行される 8 つのスイッチ回路の QDout と ADout の出力の時間的推移を示している。第 5 図において、最初はすべてのスイッチ SWi で ADout = FF (最大値) であり、これは後段のすべての区間を使用できることを意味する。QDout = 0

から QDin、後段スイッチから ADin が入力される。後段スイッチに QDout が output され、前段スイッチに ADout と ACKR (一致信号) が出力される。

2.2) 制御論理手段 SD (ステータスディテクタ) は ORG と RReqout を監視する。RPS, LPS 共に 0 のとき (ステップ 4 からステップ 5 へ移行するとき)、後段からの ADin に 1 を加え、前段に ADout = ADin + 1 を前段のスイッチ回路に出力する (ステップ 5)。自らの要求はないので、後段の空き区間数に自らの区間を加えて前段に伝えるのである。第 3 図の INC は 1 を加算するインクリメンタである。

2.3) RPS, LPS のいずれかが 1 のときはステップ 6 へ移行し (ステップ 1 ~ 4)、ORG = 0 であれば前段からの QDin に 1 を減じ (ステップ 7)、後段に QDout = QDin - 1 を出力する (ステップ 6 ~ 10)。QDout は要求区間数を示し、自らを区間として設定するのでこれを減じて後段に伝えるのである。DEC は 1 を減算す

となっているのは転送路の要求がないためである。

3.2) 今、クロック 1 でスイッチ SW1 にオリジンが発生し、転送路区間数 = 3 が要求されたとする。すなわち、スイッチ SW1 に接続されるプロセッサ要素 PE0 からスイッチ SW4 に接続されるプロセッサ要素 PE3 に転送要求がなされた場合を例として説明する。この場合、スイッチ SW1 から QDout = 3, ADout = 0 が output される。ここで、ADout = 0 はスイッチ SW1 から右側へは転送路を形成できないことを示す。転送路予約手続が開始される。

3.3) クロック 2 でスイッチ SW2 はスイッチ SW1 の要求をうけ、QDout = 2, ADout = 0 を出力する (ステップ 9, 10, 12, 13)。

クロック 3 でスイッチ SW3 は QDout = 1, ADout = 0 を出力する (ステップ 9, 10, 12, 13)。

クロック 4 でスイッチ SW4 は RReq = 1 が input され、かつ QDout = 0 となるため、ADout = 0, ACK = 1 を出力する。ACK = 1 は前段

に伝えられる (ステップ 8, 15)。

3.4) クロック 5 で $A\text{CK} = 1$ となり、スイッチ SW 3 はスイッチ SW 4 の $A\text{Dout} = 0$ に 1 を加え、 $Q\text{Dout} = A\text{Dout} = 1$ となり、スイッチをオンし、 $A\text{CK} = 1$ となる (ステップ 6, 7, 9, 10, 12, 14)。

クロック 6 で、スイッチ SW 2 で $Q\text{Dout} = A\text{Dout} = 2$ を出力するとともに、スイッチをオンし、 $A\text{CK} = 1$ を前段に出力する (ステップ 6, 7, 9, 10, 12, 14)。

クロック 7 で、スイッチ SW 1 で $Q\text{Dout} = A\text{Dout} = 3$ を出力するとともに、スイッチをオンし、 $A\text{CK} = 1$ を前段に出力する (ステップ 6, 7, 9, 11, 12, 14)。

ここにおいて、スイッチ SW 1 から SW 4、プロセッサ要素 PE 1 から PE 4 への転送路が確保される。

4.1) プロセッサ要素 PE 1 から PE 4 へ $L\text{Req}$ を 1 に保つことにより、スイッチ SW 1 ~ SW 4 の $Q\text{Dout}$ 、 $A\text{Dout}$ およびスイッチオンの状

態について使用可能な転送路区間数にセットされる。すなわち、 $A\text{Dout} = FF + 1 = FF$ (最大使用可能な区間 FF) が出力される (ステップ 4, 5)。

クロック 106 で、スイッチ SW 3 で SW 4 の $A\text{Dout}$ に 1 を加え、 $A\text{Dout}$ が出力される。

クロック 107 で、スイッチ SW 2 で SW 3 の $A\text{Dout}$ に 1 を加え、 $A\text{Dout}$ が出力される。

クロック 108 で、スイッチ SW 1 が順次 1 を加算された $A\text{Dout}$ を出力し、ここで転送路の解除が完了する (ステップ 4, 5)。

第 6 図はプロセッサ要素の転送路インタフェース回路を示したもので、転送路として DR にトライステートの I/O バッファ B1 で接続され、転送路検査信号 QD はトライステートの入力バッファ B2 で、転送路確認信号 AD は同じくトライステートの出力バッファ B3 で接続されている。転送要求信号 LReq および ACK 信号は直接スイッチ回路と接続されている。第 6 図で、シリアルパラレルシフトレジスタ SPR はビット長の変換が

艦を不变に保ち (ステップ 6, 16)、この間データ転送が行なわれる。

5.1) データ転送が終了すると、プロセッサ要素 PE 1 で $L\text{Req}$ を 0 に、すなわちクロック 101 でスイッチ SW 1 は $L\text{PS} = 0$ 、 $ORG = 0$ 、 $R\text{Reqout} = 0$ となる (ステップ 4, 5)。第 3 図の制御論理手段 SD はこれを検出してスイッチを直ちにオフし、 $Q\text{Dout} = 0$ とする (ステップ 4, 5)。転送予約解除が開始される。

5.2) $R\text{Req}$ がスイッチ SW 1 ~ SW 4 へ伝わることによって、

クロック 102 で、スイッチ SW 2 に SW 1 からの $R\text{Reqout} = 0$ が入力され、 $Q\text{Dout} = 0$ 、 $A\text{Dout} = 2$ 、スイッチオフとなり、

クロック 103 で、スイッチ SW 3 の $Q\text{Dout} = 0$ 、 $A\text{Dout} = 1$ 、スイッチオフとなり、

クロック 104 で、スイッチ SW 4 の $Q\text{Dout} = 0$ 、 $A\text{Dout} = FF$ となる (ステップ 4, 5)。

5.3) スイッチ SW 3 で $ORG = 0$ であれば、クロック 105 で $R\text{Reqin} = 0$ より、後段のスイ

チについて使用可能な転送路区間数にセットされる。すなわち、 $A\text{Dout} = FF + 1 = FF$ (最大使用可能な区間 FF) が出力される (ステップ 4, 5)。

次に本実施例の具体的な効果について説明する。この場合、第 9 図に示すように、9 つのスイッチ回路と 8 つの演算プロセッサ (プロセッサ要素) PE 0 ~ PE 7 から構成される並列プロセッサを例として、従来のバスで構成されたもの、クロスバススイッチで構成されたものと比較する。

デバイスシミュレーションなどで特に高速化が困難とされているモンテカルロシミュレーションの並列演算においては、すべてのプロセッサが殆ど一齊に他のすべてのプロセッサにデータを送る問題がある。この問題について本実施例の効果を説明する。今、8 台の各プロセッサからほぼ一齊に他の 7 台のプロセッサに 1 つのデータを送る場合、バス構造の並列プロセッサでは、第 7 図に示すように、28 回の転送回数が必要となる。最も理想的な転送装置としてクロスバススイッチを有する並列プロセッサでは第 8 図に示すように 4 回の

転送で済む。これに対し、右方向と左方向の1組の転送路で構成されている本実施例の並列プロセッサでは、第9図に示すように20回、さらに、これにもう1組の転送路構成を持つ並列プロセッサ構成をとると、10回となる。第9図の点線は他の回に転送路となっているが、当該回に変更可能な場合を示す。

一般的にプロセッサ要素数 n と転送路の本数 2^n の場合の本実施例の転送回数とケーブル本数の関係式を表に示す。表において、 2^n はプロセッサ要素数、 b は1本の転送路のビット幅である。本実施例の転送路の本数を関数としてプロセッサ要素数を変化した時の転送回数とケーブル本数を第10図、第11図に示す。転送路本数の極限はクロスバスイッチで必要な本数の $1/4$ で、この時の転送速度もほぼクロスバスイッチのそれに匹敵する。第10図および第11図より、転送路の本数は、装置の規模と転送速度の要求に応じて、任意に変えられるのが本実施例の大きな効果である。この場合、転送回数とケーブル本数との関係は表

に示すようにいくつかの組合せを選択できる。第10図、第11図において、 $S1, S3$ はクロスバスイッチの特性線、 $S2, S4$ は通常バスの特性線、 $40, 50$ は本実施例における選択の範囲を示す。

表

構成	転送回数	ケーブル本数
通常バス	$2^n \cdot 2^{n-1}$	b
本発明の 2^0	$2^{n-1} (2^{n-1}+1)$	b
分散スイッチ 2^1	$2^{n-2} (2^{n-1}+1)$	$2b$
構成転送路 2^2	$2^{n-3} (2^{n-1}+1)$	
本数 .		
.		
2^n	$2^{n-n-1} (2^{n-1}+1)$	$2^n b$
.		
.		
2^{n-1}	$2^{n-1}+1$	$2^{n-1}b$
クロスバ スイッチ	2^{n-1}	$2^{n+1}b$

(発明の効果)

以上説明したように本発明は、1本の転送路に分散してスイッチ回路を配置したことにより、1本の転送路上に一度に複数の任意の区間長の転送路を実現でき、転送路の使用効率を増大することができる。また、転送路に接続されたプロセッサ要素はスイッチ回路から出力される転送路の空き情報として区間長情報を見て、転送要求信号とともに必要な転送区間長の情報を送り、転送路が確保されればACKを受け転送路を使用できる。このような簡単な制御で2つのプロセッサ間の転送路を個々のプロセッサ要素が処理途中で必要な経路をダイナミックに変えられ、使用効率とともに高速性を実現できる。

4. 図面の簡単な説明

第1図は本発明に係わる並列プロセッサの一実施例を示すブロック系統図、第2図は本発明の概要を説明するための並列プロセッサを示すブロック系統図、第3図はスイッチ回路を示すブロック系統図、第4図はそのスイッチ回路の処理フロー

を示すフローチャート、第5図は第4図の基本処理に基づいて実行される8つのスイッチ回路のQ DoutとA Doutの出力の時間的推移を示す説明図、第6図はプロセッサ要素の転送路インタフェース回路を示すブロック系統図、第7図はバス構成の並列プロセッサでの転送回数の説明図、第8図は両方向転送路をもつクロスバスイッチ構成の並列プロセッサでの転送回数を示す説明図、第9図は本発明による並列プロセッサでの転送回数を示す説明図、第10図、第11図は装置の規模と転送速度の要求に対する転送路の本数を示すグラフ、第12図は従来のバス構成の並列プロセッサを示すブロック系統図、第13図は従来のクロスバスイッチ構成の並列プロセッサを示すブロック系統図である。

P E 1 ~ P E 3 … プロセッサ要素、S W 1 ~ S W 4 … スイッチ回路、D R, D L … 信号線、P 1 ~ P 3 … 転送路、S C … 転送路切替回路、P D … 転送経路判定回路、R P … 転送要求処理回路、B U F … バッファ回路、S D, P C O N … 制御論理

第4図

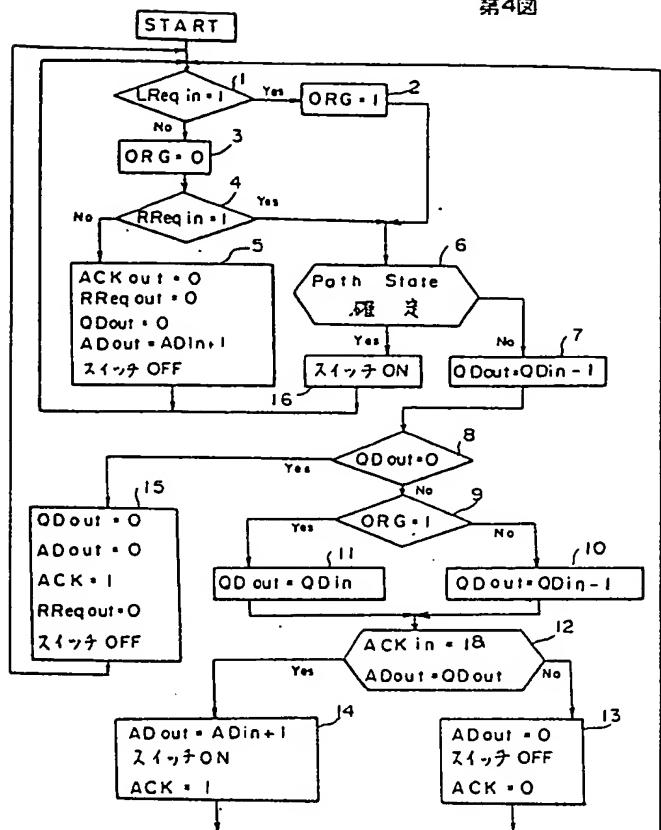
手段、INC…インクリメンタ、DEC…ディクリメンタ、FF1、FF2…フリップフロップ。

特許出願人

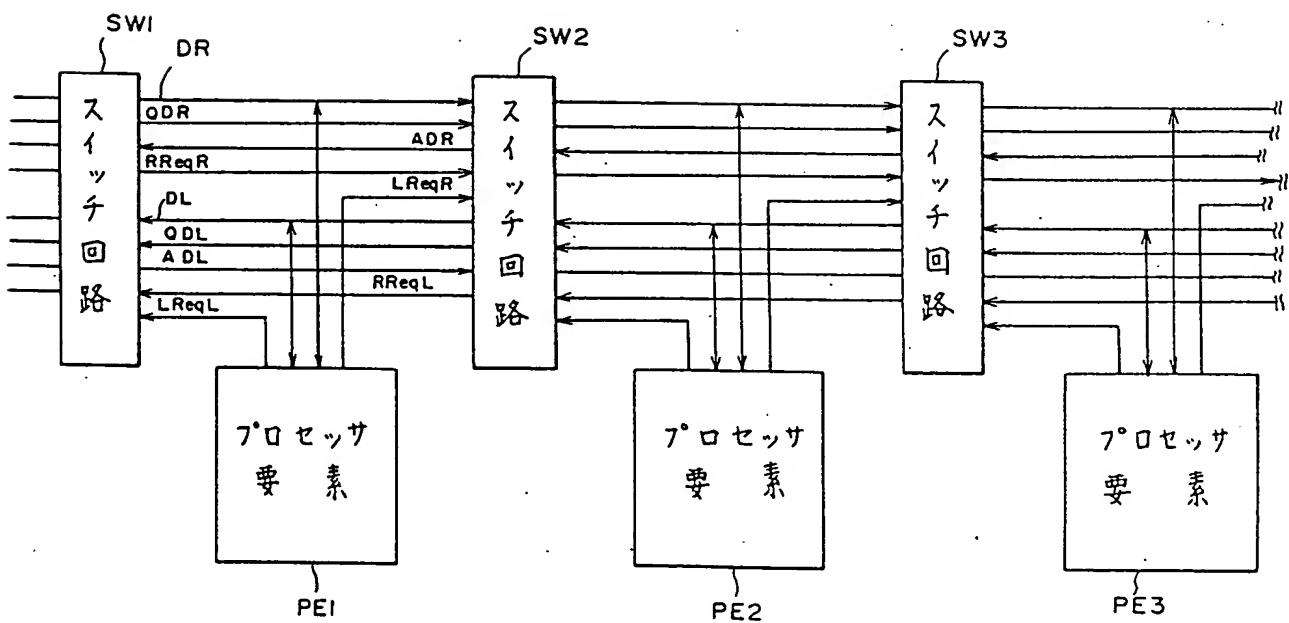
日本電信電話株式会社

代理人

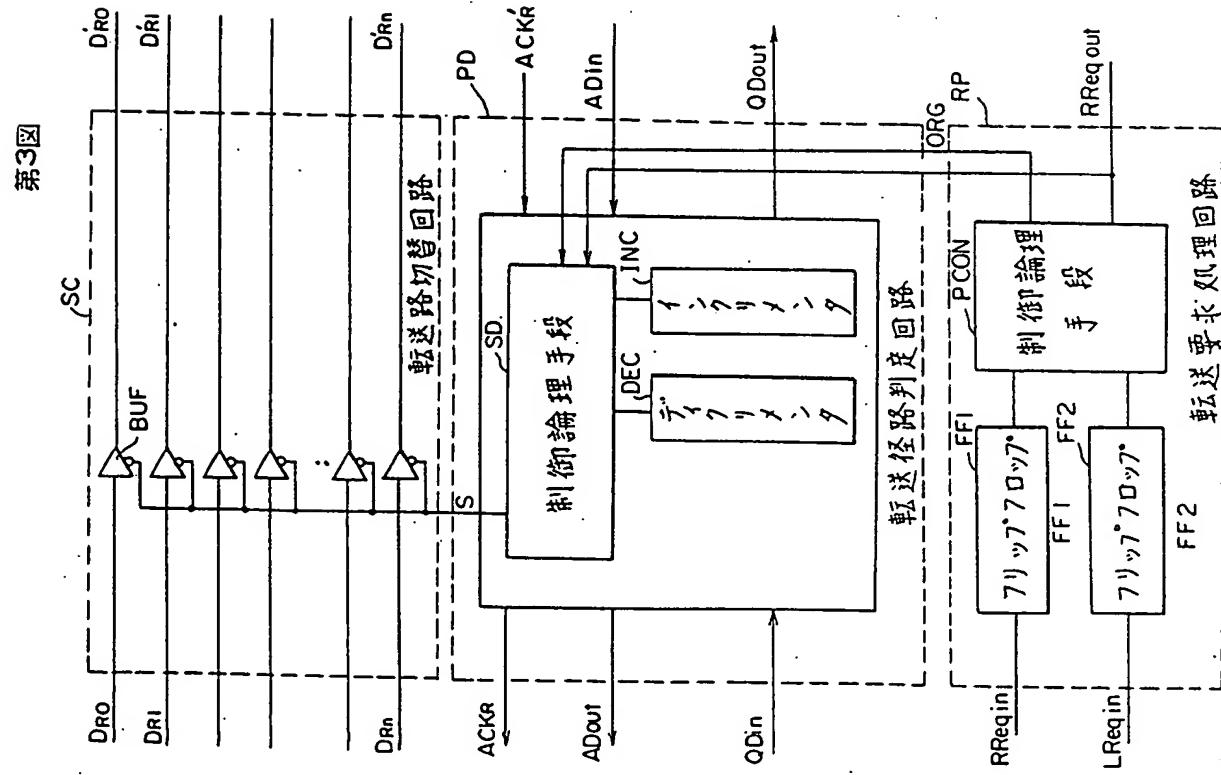
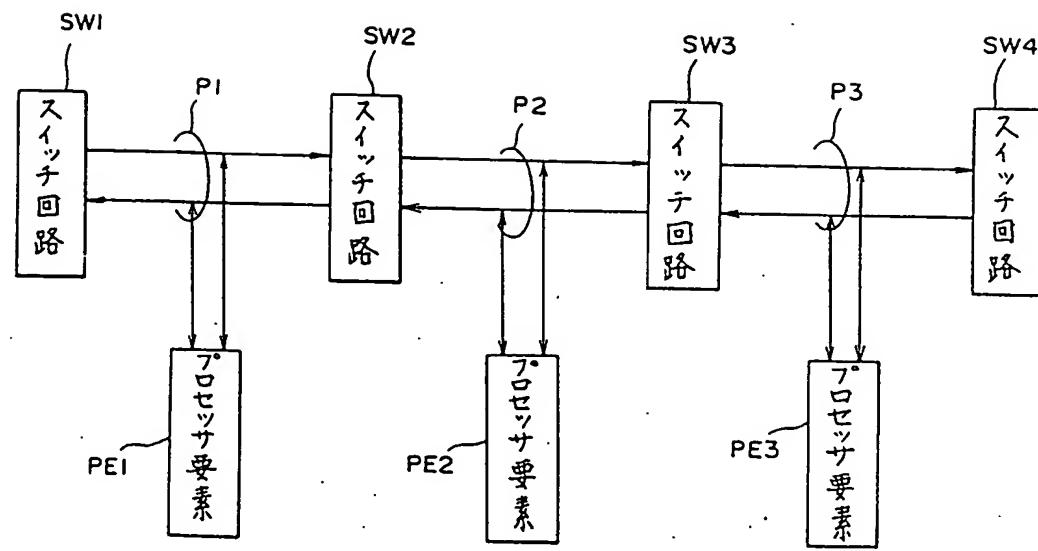
山川政樹(ほか1名)



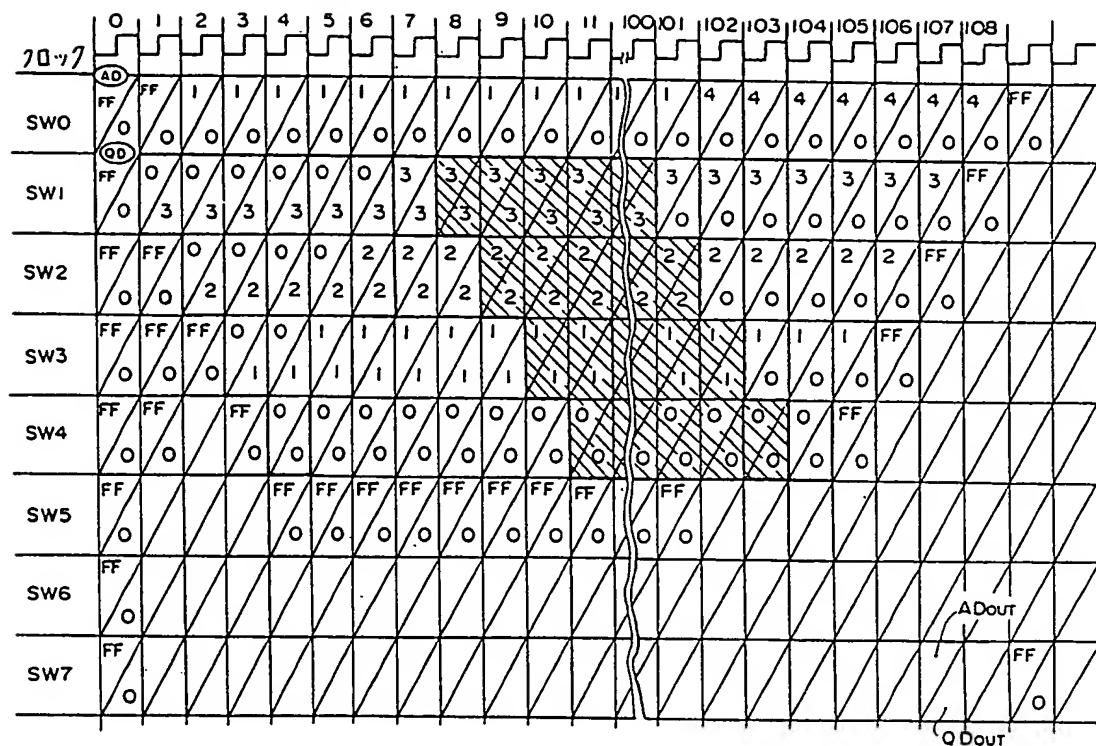
第1図



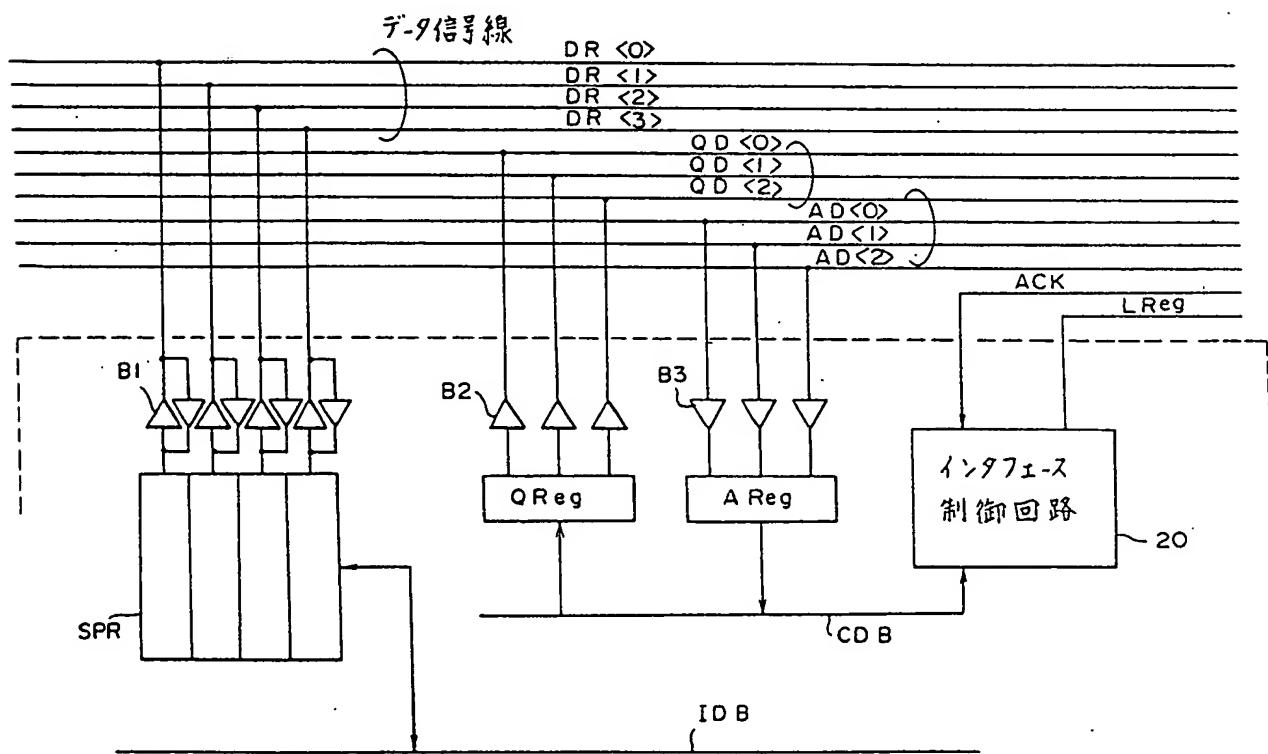
第2図



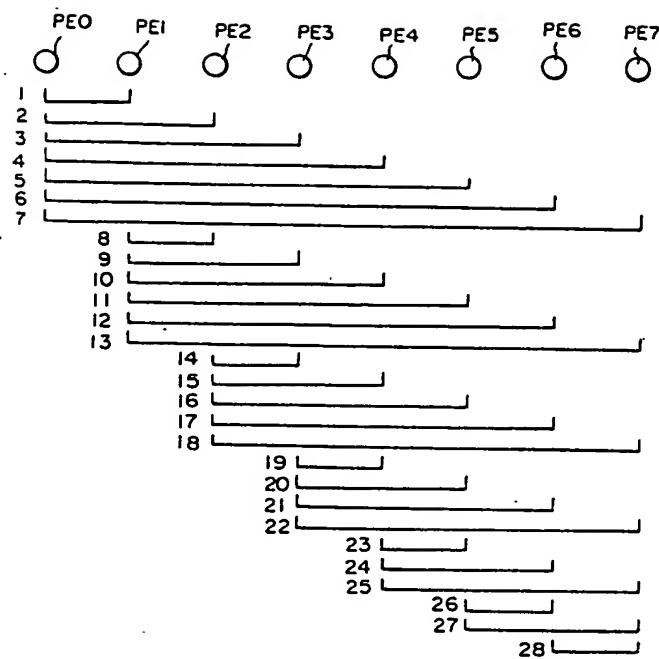
第5図



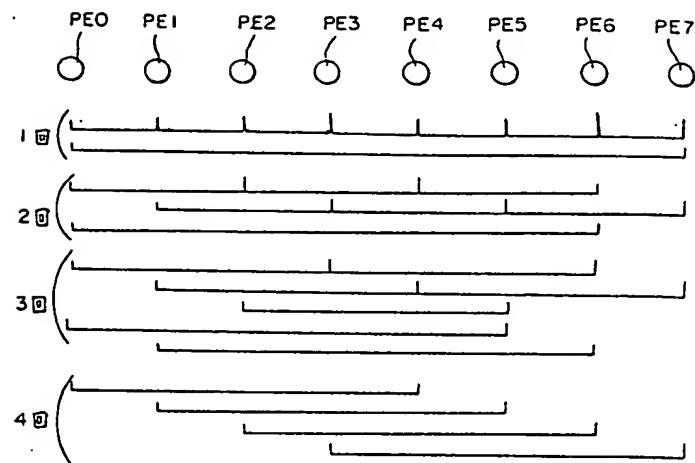
第6図



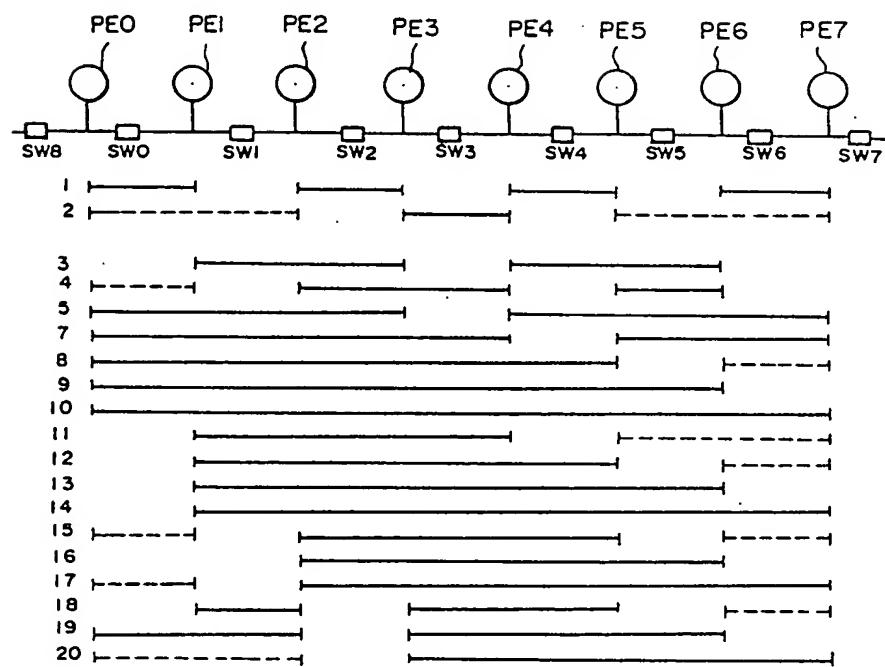
第7図



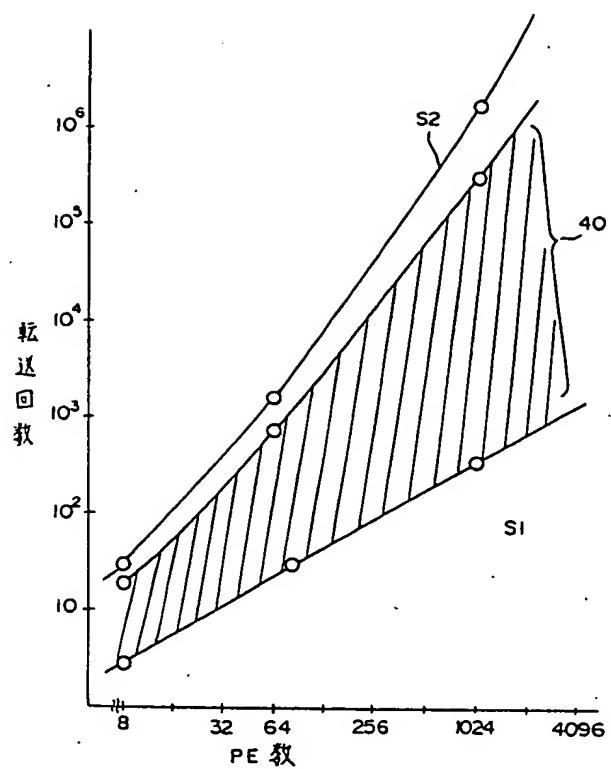
第8図



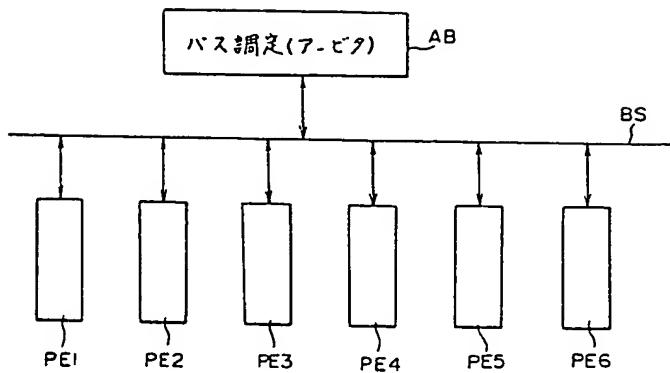
第9図



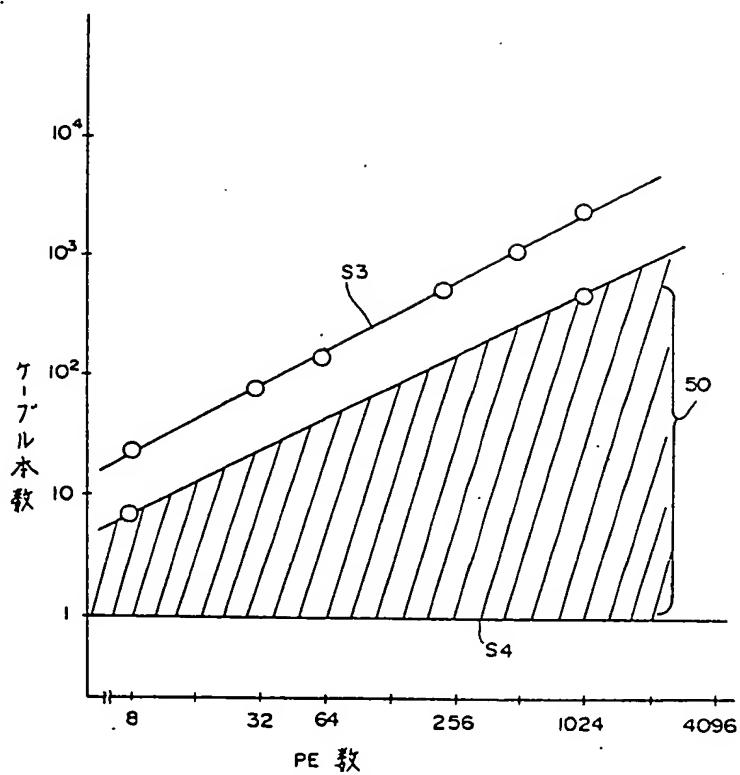
第10図



第12図



第11図



第13図

